

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

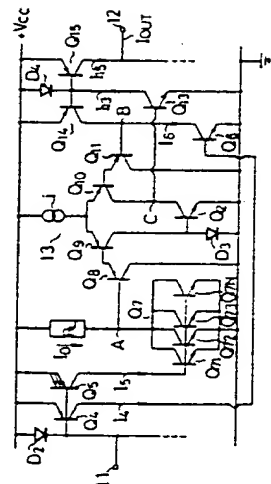
THIS PAGE BLANK (USPTO)

(54) CURRENT DETECTING CIRCUIT

(11) 59-207714 (A) (43) 24.11.1984 (19) JP
 (21) Appl. No. 58-81973 (22) 11.5.1983
 (71) TOSHIBA K.K. (72) SHINICHI MAJIMA(1)
 (51) Int. CP. H03F3/343

PURPOSE: To enable detection of current flowing in a load circuit at an optional rate when a transistor for outputting current that makes current flow in the load circuit is in the state of saturation by providing a transistor for outputting current and a differential circuit and a feedback circuit.

CONSTITUTION: Driving currents I_1 , I_2 are outputted from driving transistors (TR) Q_1 , Q_2 , and TRQ_7 and TRQ_8 for current output are driven in the state of saturation. Consequently, the TRQ_7 becomes to apply a load current I_0 to a load circuit R_L . The TRQ_8 outputs a collector current I_4 and becomes to apply collector currents I_{13} , I_{15} equal to a collector current I_4 to TRQ_{13} , Q_{15} by a current mirror circuit consisting of a diode D_5 and TRQ_{14} , Q_{15} . Collector potential V_{CE7} , and V_{CE8} , of TRQ_7 and Q_8 at this time is detected by a differential amplifier circuit 13. Above-mentioned collector potential V_{CE7} and V_{CE8} are controlled to become always equal by a feedback circuit consisting of the circuit 13, TRQ_9 , Q_{10} and D_1 . As I_{15} is equal to I_4 at this time, a detection current of an optional ratio $1/N$ can be taken out.



THIS PAGE BLANK (USPTO)

E5245-01

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—207714

⑪ Int. Cl.³
H 03 F 3/343

識別記号

庁内整理番号
6628—5 J

⑬ 公開 昭和59年(1984)11月24日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 電流検出回路

① 特 願 昭58—81973

② 出 願 昭58(1983)5月11日

⑦ 発 明 者 真島信一

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑧ 発 明 者 小川敦

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑨ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

⑩ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

電流検出回路

2. 特許請求の範囲

駆動電流が供給され該駆動電流に対応して負荷回路に電流を流す電流出力用トランジスタと、この電流出力用トランジスタの内部抵抗値に対してN倍の内部抵抗値を有し前記電流出力用トランジスタに供給される駆動電流の1/Nの駆動電流が供給され該駆動電流に対応して出力電流が制御されるトランジスタと、前記電流出力用トランジスタの両被制御電極間電圧と前記トランジスタの両被制御電極間電圧との差成分を取り出す差動回路と、この差動回路の出力を前記トランジスタの出力端に帰還させる帰還回路とを具備し、前記電流出力用トランジスタの両被制御電極間電圧と前記トランジスタの両被制御電極間電圧とが等しくなるように制御して前記電流出力用トランジスタが飽和している状態で前記トランジスタの出力電流が前記負荷電流

の1/Nと等しくなるようにしてなることを特徴とする電流検出回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、負荷回路に流れる負荷電流を検出する電流検出回路に関する。

〔発明の技術的背景〕

従来の電流検出回路は、例えば第1図に示すように構成されている。すなわち、11は入力端子で、この入力端子11はダイオードD₁を介して+Vcc電源に接続されると共に、上記ダイオードD₁とカレントミラー回路を構成しているマルチエミッタタイプの駆動用トランジスタQ₁のベースに接続されている。この駆動用トランジスタQ₁は、そのエミッタが+Vcc電源に接続され、またそのコレクタが電流出力用トランジスタQ₂及び電流検出用トランジスタQ₃の各ベースに接続されている。このうち、上記電流出力用トランジスタQ₂はマルチエミッタタイプのもので、そのコレクタは負荷回路

R_L を介し $+V_{cc}$ 電源に接続され、またエミッタは接地されている。一方、上記電流出力用トランジスタ Q_1 はそのコレクタが出力端子12に接続されており、またエミッタは接地されている。尚、上記電流出力用トランジスタ Q_1 と電流検出用トランジスタ Q_2 とのエミッタ面積比は、 $N:1$ に設定されている。

つまり、上記のように構成された電流検出回路は、入力端子11に駆動信号を供給することによつて上記駆動用トランジスタ Q_1 のコレクタから駆動電流 I_1 が出力され、上記電流出力用トランジスタ Q_2 及び電流検出用トランジスタ Q_3 が共に駆動されるようになる。このため、上記負荷回路 R_L には、上記電流出力用トランジスタ Q_2 の上記駆動電流 I_1 に対応したコレクタ電流に等しい負荷電流 I_0 が流れるようになる。そして、上記電流検出用トランジスタ Q_3 には上記駆動電流 I_1 に対応したコレクタ電流が流れるようになり、該コレクタ電流が検出電流 I_{out} として出力端子12より取り出される

- 3 -

出すことができるものである。

〔背景技術の問題点〕

しかしながら、従来の電流検出回路では、上記電流出力用トランジスタ Q_2 を飽和状態で動作させると、(1)及び(2)式に示すような関係が成立しなくなつてしまう。つまり、飽和状態での電流出力用トランジスタ Q_2 は、コレクタ接合及びエミッタ接合が共に順方向バイアスの状態にされてしまうので、そのコレクタ電流はもはや上記駆動電流 I_1 に対応せずに、負荷変動を有する負荷回路 R_L によつて制限されるようになる。この場合、上記コレクタ接合及びエミッタ接合のそれぞれのキャリアの状態はその制限に従うようになるため、上記負荷変動に対応してどんな電流値をも取り得るようになる。したがつて、非飽和状態のときのように、負荷回路 R_L に流れる負荷電流 I_0 に対して、前記エミッタ面積比によつて任意の比率の検出電流 I_{out} を得ることができなくなつてしまうものである。

- 5 -

ようになるものである。

すなわち、上記電流出力用トランジスタ Q_2 が非飽和状態にあれば、上記電流出力用トランジスタ Q_2 と電流検出トランジスタ Q_3 の間には、それぞれの熱電圧を V_T 、 V_T' とすると次のような関係が成り立つ。

$$V_T \cdot \ln \frac{I_0}{N \cdot I_1} = V_T' \cdot \ln \frac{I_{out}}{I_1} \quad \dots\dots (1)$$

ここで、上記熱電圧 V_T 、 V_T' は各トランジスタ Q_2 、 Q_3 のそれぞれのベースに供給される電流、すなわち電子の電荷が等しいので、

$$V_T = V_T' = \frac{K \cdot T}{q} \quad \dots\dots\dots (2)$$

$$\left[\begin{array}{l} \text{但し } K: \text{ボルツマン定数} \\ T: \text{絶対温度} \\ q: \text{電子の電荷} \end{array} \right]$$

となる。したがつて、上記(1)及び(2)式から明らかのように、上記検出電流 I_{out} は $1/N$ に等しくなる。つまり、負荷回路 R_L に流れる負荷電流 I_0 の $1/N$ の電流を検出電流 I_{out} として取り

- 4 -

〔発明の目的〕

この発明は上記のような問題を考慮してなされたもので、負荷回路に電流を流す電流出力用トランジスタが飽和状態であるとき上記負荷回路に流れる電流を任意の比率で検出し得る電流検出回路を提供することを目的とする。

〔発明の概要〕

すなわち、この発明による電流検出回路は、駆動電流が供給され該駆動電流に対応して負荷回路に電流を流す電流出力用トランジスタと、~~その電流出力用トランジスタと~~この電流出力用トランジスタの内部抵抗値に対して N 倍の内部抵抗値を有し前記電流出力用トランジスタに供給される駆動電流の $1/N$ の駆動電流が供給され該駆動電流に対応して出力電流が制御されるトランジスタと、前記電流出力用トランジスタの両被制御電極間電圧と前記トランジスタの両被制御電極間電圧との差成分を取り出す差動回路と、この差動回路の出力を前記トランジスタの出力端に増設回路とを具備し、前記電流出

- 80 -

- 6 -

力用トランジスタの両被制御電極間電圧と前記トランジスタの両被制御電極間電圧とが等しくなるように制御して前記電流出力用トランジスタが飽和している状態で前記トランジスタの出力電流が前記負荷電流の $1/N$ と等しくなるようにしてなることを特徴とするものである。

〔発明の実施例〕

以下、第2図を参照してこの発明の一実施例を説明する。すなわち第2図において、入力端子11はダイオード D_1 を介して $+V_{cc}$ 電源に接続されると共に、上記ダイオード D_1 とカレントミラー回路を構成する第1及び第2の駆動用トランジスタ Q_{11} 、 Q_{12} の各ベースに接続される。このうち、第1の駆動用トランジスタ Q_{11} は、そのエミッタが $+V_{cc}$ 電源に接続され、コレクタがエミッタ接地のトランジスタ Q_{10} のベースに接続される。また、上記第2の駆動用トランジスタ Q_{12} はマルチエミッタタイプのもので、そのエミッタが $+V_{cc}$ 電源に接続され、コレクタが電流出力用トランジスタ Q_1 を構成す

- 7 -

動増幅回路13は、トランジスタ Q_{10} のベースが非反転入力端A、トランジスタ Q_{11} のベースが反転入力端B、トランジスタ Q_{10} のコレクタが出力端Cとなつている。

上記差動増幅回路13の出力端Cは、エミッタ接地のトランジスタ Q_{11} に接続される。このトランジスタ Q_{11} のコレクタはダイオード D_1 を介して $+V_{cc}$ 電源に接続されると共に、上記ダイオード D_1 とカレントミラー回路を構成するトランジスタ Q_{14} 、 Q_{15} の各ベースに接続される。このうち、トランジスタ Q_{14} はそのエミッタが $+V_{cc}$ 電源に接続され、コレクタが上記差動増幅回路13の反転入力端Cに接続されると共に、上記トランジスタ Q_{10} のコレクタに接続される。また、上記トランジスタ Q_{15} はそのエミッタが $+V_{cc}$ 電源に接続され、コレクタが出力端子12に接続されるものである。尚、上記第2の駆動用トランジスタ Q_{12} のエミッタ面積は、上記電流出力用トランジスタ素子の個数に対応して適宜設定されている。

- 9 -

るN個のトランジスタ素子 Q_{11} 、 Q_{12} 、 Q_{13} … Q_{1N} の各ベースに接続される。

ここで、上記電流出力用トランジスタ Q_1 のトランジスタ素子 Q_{11} ～ Q_{1N} は、それぞれ上記トランジスタ Q_{10} と同等の特性を有するもので、それぞれが完全に並列接続されており、その共通コレクタが負荷回路 R_L を介して $+V_{cc}$ 電源に接続されると共に後述する差動増幅回路13の非反転入力端Aに接続され、また共通エミッタが接地される。

上記差動増幅回路13は、トランジスタ Q_{10} 、 Q_{11} 、ダイオード D_1 及び定電流源1からなるもので、上記トランジスタ Q_{10} 、 Q_{11} はダーリントン接続されている。このうちトランジスタ Q_{10} 、 Q_{11} は共通エミッタが上記定電流源1を介して $+V_{cc}$ 電源に接続され、それぞれのコレクタがカレントミラー回路を構成する上記ダイオード D_1 及びトランジスタ Q_{12} を介して接地される。また、上記トランジスタ Q_{10} 、 Q_{11} の各コレクタは接地されている。このような差

- 8 -

上記のような構成において、以下その動作について説明する。すなわち、入力端子11に一定レベル駆動信号を供給し、第1及び第2の駆動用トランジスタ Q_{11} 、 Q_{12} から駆動電流 I_{11} 、 I_{12} を出力させ、前記電流出力用トランジスタ Q_1 及びトランジスタ Q_{10} を飽和状態で駆動させる。これにより、上記電流出力用トランジスタ Q_1 は前記負荷回路 R_L に負荷電流 I_o を流すようになり、またトランジスタ Q_{10} はコレクタ電流 I_{10} を出力し、前記ダイオード D_1 及びトランジスタ Q_{14} 、 Q_{15} からなるカレントミラー回路によつて、前記トランジスタ Q_{14} 、 Q_{15} に該コレクタ電流 I_{10} と同等のコレクタ電流 I_{14} 、 I_{15} を流すようになる。

このときの上記電流出力用トランジスタ Q_1 及びトランジスタ Q_{10} の各コレクタ電位 V_{cs1} 及び V_{cs2} は、前記差動増幅回路13によつて検出される。つまり、この差動増幅回路13では、上記各コレクタ電位 V_{cs1} 及び V_{cs2} の電位差を検出し、該電位差に対応して出力端子Cの電

- 10 -

位を変化させ、上記トランジスタ Q_{11} のベース電流を制御する。これにより、上記トランジスタ Q_{11} のコレクタ電流 I_{11} は上記電位差に対応して変化し、これに伴って上記トランジスタ Q_r の出力電流 I_o も変化する。すなわち、上記差動増幅回路13及びトランジスタ Q_r 、 Q_{10} 及びダイオード D_r からなる帰還回路によつて、上記電流出力用トランジスタ Q_r 及びトランジスタ Q_r の各コレクタ電位 V_{CZr} 及び V_{CZs} は常に等しくなるように制御される。このとき、上記トランジスタ Q_{11} のコレクタ電流 I_{11} は、前述したようにトランジスタ Q_r の出力電流 I_o と等しいので、出力端子12より検出電流 I_{out} として取り出されるようになる。

すなわち、上記電流出力用トランジスタ Q_r が飽和状態で駆動されると、その飽和電圧 $V_{OZ(sat)r}$ は内部コレクタ抵抗 r_c によつて決定される。つまり、上記飽和電圧 $V_{OZ(sat)r}$ は $r_{cx} I_o$ に等しい。これに対して上記トランジスタ Q_r の飽和電圧 $V_{OZ(sat)s}$ は、内部コレ

-11-

尚、上記実施例において、差動増幅回路13をダーリントン接続としたのは、該差動増幅回路13の入力電圧が100[mV]以下となることもあり得るためである。

また、上記電流出力用トランジスタ Q_r のスイッチング動作時に流れる負荷回路 R_L の平均負荷電流 I_o を任意の比率($1/N$)で検出したい場合には第3図に示すようにサンプル・ホールド機能を持たせるようにすればよい。ここで、第3図において、第2図と同一部分には同一符号を付して示し、ここでは異なる部分についてのみ述べる。すなわち、前記差動増幅回路13の出力端はスイッチ S を介して前記ダイオード D_r に接続されている。このスイッチ S は、入力端子11に供給される駆動信号に応じてオン・オフ制御されるものである。そして、上記ダイオード D_r とカレントミラー回路を構成しているトランジスタ Q_{11} のコレクタは出力端子12に接続されると共に、抵抗 R 及びコンデンサ C からなる時定数回路を介して接地されてい

-13-

クタ抵抗 $\frac{r_c}{N}$ が上記電流出力用トランジスタ Q_r の内部コレクタ抵抗 r_c の N 倍なので、 $\frac{r_c}{N} \cdot I_o = N \cdot \frac{r_c}{N} \cdot I_o$ となつている。このような電流出力用トランジスタ Q_r 及びトランジスタ Q_r の各飽和電圧 $V_{OZ(sat)r}$ 及び $V_{OZ(sat)s}$ は、上記差動増幅回路13及び帰還回路により常に等しく制御されて

$$V_{OZ(sat)r} = V_{OZ(sat)s}$$

となり、さらに

$$\frac{r_c}{N} \cdot I_o = \frac{r_c}{N} \cdot I_o = N \cdot \frac{r_c}{N} \cdot I_o$$

の関係式が成り立つようになる。このため、上記トランジスタ Q_r の出力電流 I_o は I_o/N となつて負荷回路 R_L に流れる負荷電流 I_o の $1/N$ の電流となる。この出力電流 I_o は、前述したように、検出電流 I_{out} に等しいものである。

したがつて、電流出力用トランジスタ Q_r が飽和状態で駆動されたときの負荷電流 I_o に対して任意の比率(この場合は $1/N$)の検出電流 I_{out} を取り出すことができるようになる。

-12-

る。

すなわち、入力端子11にパルス駆動信号を供給し、前記電流出力用トランジスタ Q_r 及びトランジスタ Q_r をオン・オフ制御する。このとき、上記パルス駆動信号は、上記電流出力用トランジスタ Q_r 及びトランジスタ Q_r がローレベルで共にオフ状態となり、ハイレベルで共に飽和状態となるように設定する。また、このパルス駆動信号は、上記トランジスタ Q_r 、 Q_r のオン・オフ動作と同期して、上記スイッチ S をオン・オフ制御するようになつている。

これにより、前記負荷回路 R_L には断続的に負荷電流 I_o が流れるが、この負荷電流 I_o が流れたとき上記スイッチ S がオン状態となり、前述したようにトランジスタ Q_{11} のコレクタ電流 I_{11} が上記負荷電流 I_o の $1/N$ で流れるようになる。このコレクタ電流 I_{11} は、上記時定数回路によつて平均化されて、出力端子12から平均検出電流 I_{out} として取り出されるものである。尚、出力端子12の電圧値 V_{out} は、上

-82-

-14-

配負荷回路 R_L の平均電圧として取り出せるものである。

この外、その要旨を逸脱しない範囲で種々変形しても実施可能であることは言うまでもない。

〔発明の効果〕

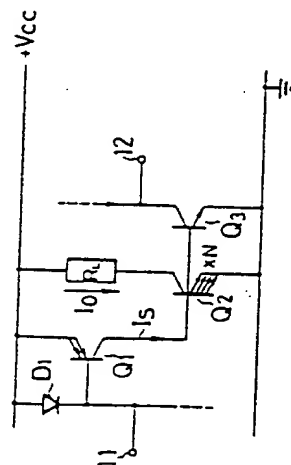
以上のようにこの発明によれば、負荷回路に電流を流す電流出力トランジスタが飽和状態であるとき上記負荷回路に流れる電流を任意の比率で検出し得る、極めて良好な電流検出回路を提供することができる。

4. 図面の簡単な説明

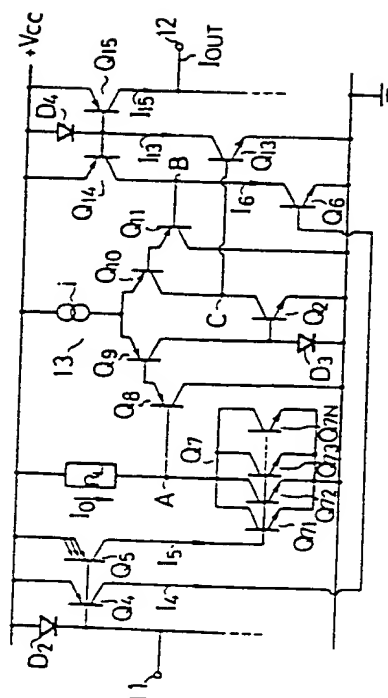
第1図は従来の電流検出回路を示す回路図、第2図はこの発明に係る電流検出回路の一実施例を示す回路図、第3図はこの発明に係る他の実施例を示す回路図である。

11…入力端子、12…出力端子、13…差動増幅回路、 Q_1, Q_2, \dots, Q_r …電流出力用トランジスタ、 R_L …負荷回路、 I_o …負荷電流、 I_{out} …検出電流。

第1図



第2図



第 3 図

